

DOI:10.19344/j.cnki.issn1671-5276.2026.01.031

一种改进数字锁相放大器设计方法

白千帆,李开宇,周立夫,廖紫悦

(南京航空航天大学 自动化学院,江苏 南京 211106)

摘 要:在强噪声背景下,检测微弱信号的数字锁相放大器中的数字低通滤波器,当截止频率极低时,存在符合设计目标的滤波器参数会导致系统计算量过大、实时性差的问题。为了解决此问题,引入多速率信号处理方法与当前滤波器设计方法结合,提出一种基于自适应降采样低通滤波器的数字锁相放大器设计方法。实验结果表明:此方法可以有效检测出强噪声背景下特征频率信号的幅值,计算量小,优于现有的数字锁相放大器设计方法。

关键词:微弱信号检测;数字锁相放大器;低通滤波器;自适应滤波器

中图分类号:TH702 **文献标志码:**A **文章编号:**1671-5276(2026)01-0167-05

An Improved Design Method for Digital Phase Locked Amplifiers

BAI Qianfan, LI Kaiyu, ZHOU Lifu, LIAO Ziyue

(College of Automation Engineering, Nanjing University of Aeronautics and Astronautics, Nanjing 211106, China)

Abstract: In strong noise background, the digital low-pass filter detecting weak signal in the digital phase-locked amplifier is detected. In extremely low cutoff frequency, the design of the digital low-pass filter in the digital phase-locked amplifier may cause the excessive calculation and poor real-time performance. To address the issue, a design method of digital phase-locked amplifier based on adaptive downsampling low-pass filter is proposed by combining multi-rate signal processing with current filter design methods. The experimental results show that the proposed method can effectively detect the amplitude of the characteristic frequency signal under strong noise background with small calculation, which is superior to the existing digital phase-locked amplifier design methods.

Keywords: weak signal detection; digital phase-locked amplifier; low pass filter; adaptive filter

0 引言

微弱信号检测与处理在航天测控、工业检测和生物医学等领域中有着广泛的应用^[1-5]。微弱信号检测领域存在诸多检测方法,当需要获取特定频率、幅值变化很小的待测微弱信号幅值时,数字锁相放大器(digital lock-in amplifier, DLIA)是一个非常好的选择^[6],其由模拟锁相放大器发展而来^[7-8],利用相关性可在强噪声背景中获取特定频率的信号幅值^[9]。

DLIA 在检测过程中需要截止频率极低的数字低通滤波器(digital low-pass filter, DLPF)才得以获得较好的检测效果^[10]。在 DLPF 设计中,通过提升滤波器阶数可以提升滤波器的滤波效果,但也会相应地提升计算量。在进行微弱信号检测时,信号往往具有较高的采样频率且信噪比较低^[11],在此情况下进行 DLIA 中的 DLPF 参数设

计时,符合滤波目标的滤波器的阶数往往会很高,致使系统计算时间长,进而造成系统实时性差等问题^[12]。文献 3 提出了一种改进积分平均数字锁相放大器(integral average DLIA, IA-DLIA),其有效减少了 DLIA 的运算时间,并提升了输出信号的稳定性。但 IA-DLIA 在低信噪比情况下输出信号稳定性较差。

为了解决上述问题,本文提出了一种自适应降采样低通滤波器(adaptive downsampling low-pass filter, ADLPF),并设计了一种基于 ADLPF 的数字锁相放大器(ADLPF-DLIA)设计方法。ADLPF 能够在强噪声背景下,自适应调节滤波器自身的通带带宽,实现滤波器输出信号只存在极低频信号分量的目标。而 ADLPF-DLIA 则可以在明确待测单频信号频率与采样频率的条件下,无需调整自身参数即可实现自适应输出稳定的待测单频信号幅值的功能。

基金项目:国家重点研发计划项目(2018YFB2003304);江苏省研究生科研与实践创新计划项目(SJCX23_0097)

第一作者简介:白千帆(2000—),男,江苏南通人,硕士研究生,研究方向为微弱信号处理,qianfanbai@foxmail.com。

1 数字锁相放大器原理

数字式正交矢量型锁相放大器是对于数字式单相锁相放大器改进后的放大器^[13]。正交矢量型锁相放大器采用两组相敏检波器构成双相锁相放大器,消除了输出结果对输入与参考信号之间相位差的影响^[14]。其结构如图1所示。

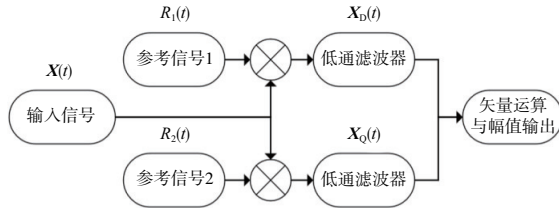


图1 正交矢量型锁相放大器结构

输入信号 $X(t)$ 可以表示为

$$X(t) = A \sin(2\pi ft + \theta) + n(t) \quad (1)$$

式中: A 为待测信号幅值; $n(t)$ 为总噪声信号; θ 为待测信号相位; f 为待测信号的频率。两组参考信号为与待测信号同频、相位差 90° 的两正交正弦参考信号^[15]。

输入信号与两参考信号相乘后,可以得到两相输出 $X_1(t)$ 和 $X_2(t)$, 其结果在经过低通滤波后,可以得到两相输出 $X_D(t)$ 和 $X_Q(t)$:

$$X_D(t) = 0.5AB \cos(\theta - \varphi) \quad (2)$$

$$X_Q(t) = 0.5AB \sin(\theta - \varphi) \quad (3)$$

式中, B 为参考信号的幅值。

对 $X_D(t)$ 和 $X_Q(t)$ 进行矢量运算即可得到待测信号的幅值:

$$\sqrt{X_D(t)^2 + X_Q(t)^2} = 0.5AB \quad (4)$$

数字式双相锁相放大器避免了相位差的影响,同时也减少了相位更改对于测量结果准确性的影响。

DLPF 在整个数字锁相放大器算法中占居非常重要的地位^[16],其滤波效果直接影响信号质量^[17]。计算得到的两相输出结果 $X_D(t)$ 和 $X_Q(t)$ 的准确性与低通滤波器的性能成正相关,低通滤波器的性能越好,最后计算得到的待测信号幅值越准确,而低通滤波器性能较差时,得到的结果波动大,准确度低。

2 改进数字锁相放大器设计方法

本节通过设计降采样低通滤波器以及多组级联的自适应阶数设计,实现了一种参数固定、阶数自适应调整的自适应降采样低通滤波器,可以实

现在不同的测试条件中自适应调节滤波器输出为极低频。基于上述滤波器,设计了一种基于自适应降采样低通滤波器的数字正交矢量型锁相放大器,实现强噪声背景下,自适应获得待测频率信号幅值。

2.1 现有数字低通滤波器不足分析

目前 DLIA 常用的 DLPF 设计方法为:确定滤波器频率响应;设计其具体的传递函数;通过确定一种合适的滤波器结构实现设计。而当信号采样频率较高(如 $F_s \geq 10 \text{ kHz}$)且信噪比较低($S_{NR} \leq -10 \text{ dB}$)时,使用上述方法实现将信号滤波至极低频的目标时存在着问题:DLPF 设计时,其通带与阻带设计均需要与信号采样频率的 $1/2$ 进行归一化处理,而归一化后的数值越小,实现该滤波器需要的阶数就越高。表1展示了不同通带频率的低通滤波器所需要的阶数,其中滤波器采用 FIR 等纹波法进行设计,信号采样频率为 20 kHz ,通带边界频率为 1 Hz 。

表1 不同参数的低通滤波器所需要的阶数

滤波器最小阶数	阻带边界频率/Hz	归一化阻带边界频率
511	100	0.010 0
1 033	50	0.005 0
2 109	25	0.002 5
5 622	10	0.001 0
12 649	5	0.000 5

由表1可以得出,通过提升滤波器阶数从而提升滤波器的滤波性能的常用方法会导致滤波器阶数过高,致使系统计算量过大,进而导致实时性差的问题。在 FPGA 等实时检测系统中也会导致资源开销大、实时性差等问题。故现有的数字滤波器设计方法无法很好地实现强噪声背景下数字锁相放大器中低通滤波器的设计目标^[18]。

2.2 自适应降采样低通滤波器设计

目前数字滤波器设计方法大都是基于信号采样频率不变进行设计的,这会导致符合设计目标的滤波器参数会使系统计算量很大。在本节中,引入多速率信号处理方法,通过将数字下变频、多采样速率信号处理的方法与当前数字滤波器设计方法结合,实现一种参数固定、运算量小、阶数自适应调整的自适应降采样低通滤波器(ADLPF)。

数字下变频即对信号进行抽取的过程,也称降采样^[19]。当对输入信号进行 M 倍抽取时,在时域上的表现即为对信号进行压缩,而相应地,在频

域则表现为对其频谱进行延伸,信号采样频率相应地降低 M 倍^[20]。

数字滤波器设计后,其基于信号采样频率一半的归一化通带与阻带边界频率为固定值。如式(5)所示。

$$f_{\text{stop}} = k \cdot \frac{1}{2} f_s \quad (5)$$

式中: f_{stop} 为阻带边界频率; k 为归一化比例; f_s 为采样频率。当信号采样频率不变时,其通带与阻带边界频率不变,而当信号采样频率下降时,其通带与阻带边界频率也相应地下降。利用这一特性,可以设计降采样器和与其对应的子低通滤波器结合的降采样低通滤波器组,通过多组降采样低通滤波器组进行串联实现信号采样频率不断降低的同时,通过滤波器通带与阻带边界频率不断下降实现信号所含的最高频率也不断降低的目标。同时,基于此种方法设计的子低通滤波器组阶数较低,运算量较小。降采样低通滤波器组结构如图2所示。

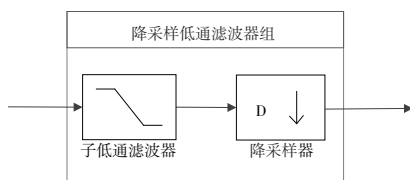


图2 降采样低通滤波器组结构

其中,降采样器实现对输入信号进行降采样,与之串联在前的子低通滤波器实现防混叠低通滤波。当一组降采样低通滤波器组的降采样阶数固定时,可以设计与其对应的子低通滤波器参数,使得信号降采样后不会出现混叠的同时,滤除降采样前信号中相对高频的部分。当只需要信号的低频部分时,就可以将多组降采样低通滤波器组进行串联,从而得到近似直流的低频信号。故在对输出信号采样频率无要求时,多组降采样低通滤波器组进行串联的方法可以有效实现 DLIA 的滤波要求。然而串联的组数需要根据信号含噪声情况进行确定。

理想数字锁相放大器输出信号为近似直流的低频信号,在此情况下,DLIA 输出信号的波动性往往可以在一定程度上反应其含噪声程度。基于此,引入标准差对于 DLIA 的输出进行噪声估算:当数字锁相放大器输出信号稳定后,对输出信号求其标准差,值越小说明数字锁相放大器性能越好。基于上述内容,将标准差指标作为多组降采样低通滤波器组串联组数的判断依据,即可实现

一种参数固定、阶数自适应调整的自适应降采样低通滤波器。标准差计算如式(6)所示。

$$S = \sqrt{\frac{1}{n} \cdot \sum_{i=1}^n (X_i - \bar{X})^2} \quad (6)$$

式中: S 为标准差; n 为数据个数; X_i 为第 i 个数据; $\bar{X}$ 为数据均值。

实现自适应降采样低通滤波器的方法为:在进行滤波运算时,对信号进行标准差运算得到信号的波动性大小指标,以此判断是否需要再次进行降采样低通滤波,从而自适应调节降采样低通滤波器组的串联组数,实现自适应降采样低通滤波器通带带宽自适应调节,实现信号最高频率不断下降,最终得到锁相放大器运算输出幅值信号近似直流的结果。其运算流程如图3所示。

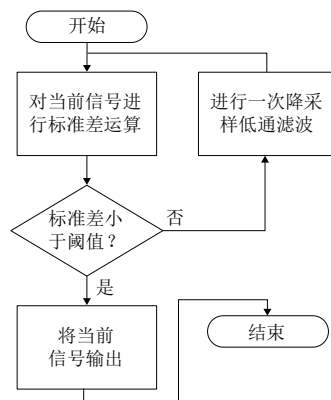


图3 自适应降采样低通滤波器运算流程

2.3 改进数字锁相放大器系统设计

将 ADLPF 对于数字正交矢量型锁相放大器中的低通滤波器进行替换,可以实现一种 ADLPF-DLIA。

3 实验测试

DLIA 常用于从传感器系统采集的低信噪比的待测信号中,提取特定频率信号的幅值。故在本次实验测试中,采用 MATLAB 生成固定频率、幅值的信号,并添加不同功率的白噪声以形成不同信噪比的待测信号,通过对待测信号的检测来测试各 DLIA 的性能。

3.1 DLIA 与 IA-DLIA 性能测试

在本节中,采用常规 DLPF 的 DLIA 与文献 3 中 IA-DLIA,与本文设计的 ADLPF-LIA 进行对比测试。测试信号时长为 10 s;噪声类型为白噪声;信号频率为 20 kHz;信号幅值为 1 μV ;信噪比分别为 -20 dB、-30 dB、-40 dB、-50 dB。测试软件

为 MATLAB R2021a, 电脑配置为 AMD 5800H, 32G 内存, RTX3060, Win10 操作系统。

其中, 传统数字锁相放大器采用的低通滤波器为 FIR 滤波器, 设计方法采用汉明窗, 设置阶数为 4 096 阶, 归一化截止频率设置为 0.000 001。

文献 3 中使用一种积分平均的方法替换现有数字锁相放大器的低通滤波器部分, 进行了结构的优化, 实现了数字锁相放大系统输出更加稳定、抗干扰能力强、计算量小等优点。实验结果分别如图 4 与图 5 所示。

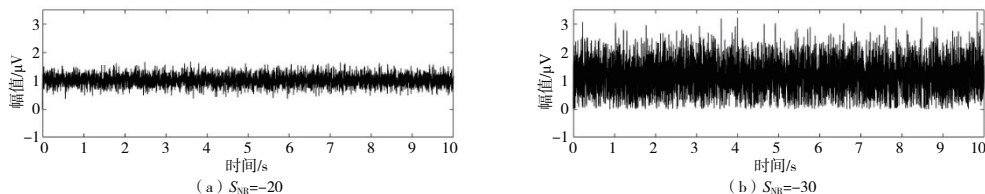


图 4 传统数字锁相放大器性能测试

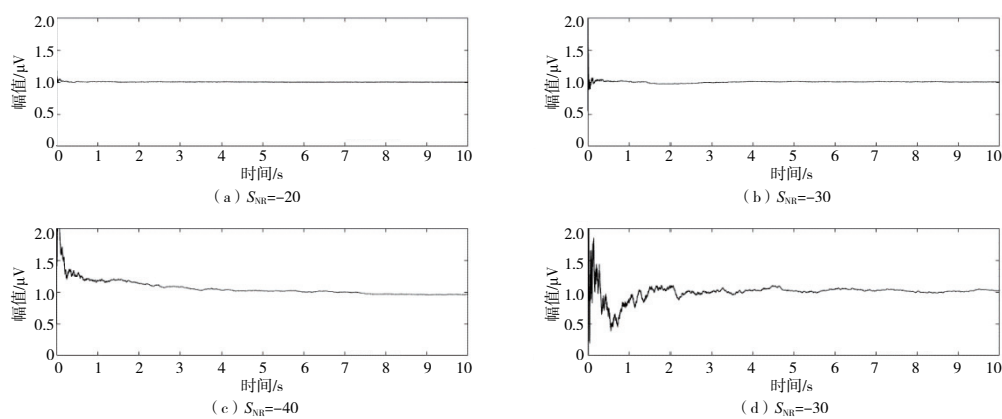


图 5 改进积分平均数字锁相放大器性能测试

传统数字锁相放大器在信噪比为 -20 dB 与 -30 dB 的信号检测中, 输出波动性大, 可以认为其已失效, 故不再进行后续信噪比的测试。而 IA-DLIA 在信噪比不低于 -30 dB 左右时, 可以有效检测出目标频率信号幅值, 当信噪比进一步降

低时, IA-DLIA 的输出波动性逐渐增大, 且输出的误差也逐渐增大。

3.2 ADLPF-DLIA 性能测试

使用 3.1 节中相同的数据对 ADLPF-DLIA 进行性能测试, 其结果如图 6 所示。

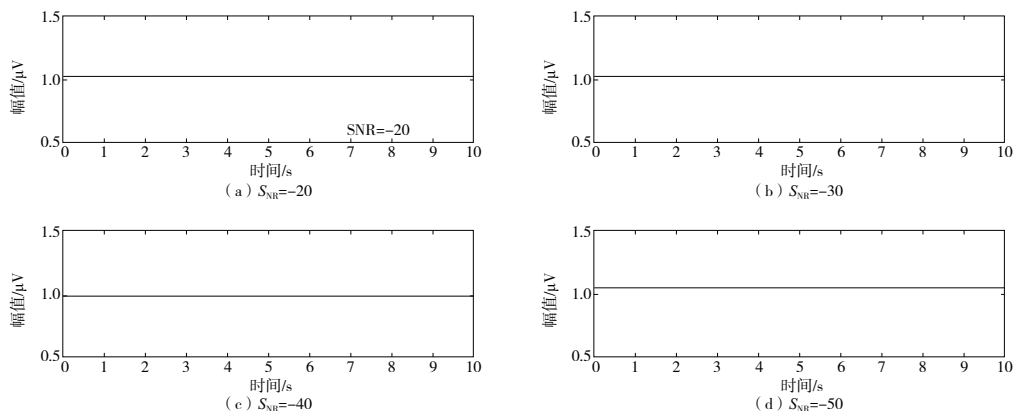


图 6 ADLPF-DLIA 性能测试结果

由图 6 可知, ADLPF-DLIA 在测试中的各噪声环境下, 均可实现稳定的幅值输出。

3.3 计算时间对比

统计 3 种方法对信号进行检测的时间, 其结果如表 2 所示。

表2 各方法信号检测时间 单位:s

检测方法	计算时间
DLIA	13.783
IA-DLIA	5.537
ADLPIF-DLIA	2.405

由表可知,DLIA 计算时长最长,且效果最差;IA-DLIA 相较于 DLIA 计算时长减少过半,且结果更加准确;ADLPIF-DLIA 计算时长最短,且输出最稳定。

3.4 实验总结

由上可知,在强噪声背景下,DLIA 无法有效获得稳定的目标信号幅值,输出信号波动性极大,计算量大,计算时长超过信号时长,无法满足实时性需求。IA-DLIA 在信噪比不低于-30 dB 时,可以有效得到稳定的目标信号幅值;随着信噪比进一步降低,IA-DLIA 输出波动性与误差均逐渐增大,其相对于 DLIA 计算量小很多。而 ADLPIF-DLIA 在信噪比极低的情况下,依然可以稳定输出目标信号的幅值,且计算量最小。

4 结语

本文设计了一种可适应性强、输出稳定性好的 ADLPIF-DLIA 系统,并通过实验,对比了传统 DLIA 和一种改进后的 IA-DLIA,验证了 ADLPIF-DLIA 不仅具有计算量小的优点,且在信噪比极低的情况下,依然可以稳定输出目标信号幅值的功能。此外,在对信号采样频率无要求时,该方法适用于绝大多数锁相放大器运算,能有效降低数字锁相放大器输出信号波动性。

参考文献:

- [1] 俞勤新,彭艳来,杨晓峰,等. 基于自适应随机共振方法的轴承故障特征提取[J]. 机械制造与自动化, 2023,52(5):92-95.
- [2] 王后明,李舜酩. 微弱电信号的数字检测综述[J]. 传感器与微系统,2021,40(11):4-8.
- [3] YANG J H, LI P, YIN G J, et al. Sound field visualization of specified frequency by combining scanning system with lock-in amplifier[J]. Journal of Physics:Conference Series,2024,2822(1):012187.
- [4] ZHANG M. Short-time variance providing evidential reference frequency for lock-in amplifier in fault diagnosis of rolling bearings[J]. Journal of Vibration Engineering & Technologies,2024,12(2):1875-1887.
- [5] KOBAYASHI Y, LINH N D H, KIMURA Y. A real-

time, noncontact method for estimating the voltage of a single cell in series-connected photovoltaic cells[J]. IEEE Transactions on Electrical and Electronic Engineering,2023,18(12):1973-1982.

- [6] CHEN X D, WEI M X, CHEN K, et al. Research on weak signal detection of integral average digital lock-in amplifier[J]. Measurement Science and Technology, 2021,32(10):105905.
- [7] 郭忠凯,李永刚,于博丞,等. 锁相放大器的研究进展[J]. 物理学报,2023,72(22):132-150.
- [8] BEST R E. Phase-Locked Loops: design, simulation, and applications[M]. New York: McGraw-Hill, 2007.
- [9] 吴铁洲,李炎,祁军,等. 卡尔曼滤波结合数字锁相放大器的弱光声信号降噪方法研究[J]. 仪表技术与传感器,2020(10):98-102.
- [10] ZHANG Q W, JEONG W, KANG D J. Lock-in amplifiers as a platform for weak signal measurements: Development and applications[J]. Current Applied Physics,2024,66:95-109.
- [11] 李硕,江晟. 基于FPGA的数字锁相放大器设计与实现[J]. 计量与测试技术,2025,52(1):83-85,89.
- [12] 张泽学. 基于锁相放大器的阻抗采集系统设计[D]. 太原:中北大学,2024.
- [13] GREGORAT L, CAUTERO M, PITANTI A, et al. FPGA readout for frequency-multiplexed array of micromechanical resonators for sub-terahertz imaging[J]. Sensors,2024,24(22):7276.
- [14] WANG L, WEI Z K, XIE H, et al. Design of quadrature lock-in amplifier based on LMS time delay adaptive[C]// 2021 IEEE 15th International Conference on Electronic Measurement & Instruments (ICEMI). Nanjing, China. IEEE,2021:100-104.
- [15] 余畅. 基于锁相放大器的微弱光电信号检测与处理[D]. 南京:南京理工大学,2022.
- [16] ZHANG C, LIU H, GE J, et al. FPGA-based digital lock-in amplifier with high-precision automatic frequency tracking[J]. IEEE Access,2020,8:123114-123122.
- [17] 张雷雷,曹振松,钟磬等. FPGA 主控型数字锁相放大器设计及光谱测量[J]. 红外与激光工程, 2023, 52(10):135-146.
- [18] CHEN H Z, LI Y, OU L Y. A digital lock-in amplifier based on adaptive Kalman filter for rail defect detection[J]. Journal of Sensors,2023,2023(1):7112942.
- [19] 彭庆尧,吴旦昱,周磊,等. 一种用于直接射频采样ADC的多模式数字下变频器设计[J]. 电子器件, 2021,44(6):1314-1321.
- [20] 朱魁. 基于FPGA的一种数字下变频设计[D]. 南京:南京邮电大学,2017.

收稿日期:2023-12-28